

## ⑫ 公開特許公報 (A)

昭59—201464

⑪ Int. Cl.<sup>3</sup>  
H 01 L 27/10  
G 11 C 11/34

識別記号  
1 0 1

庁内整理番号  
6655—5F  
8320—5B

⑬ 公開 昭和59年(1984)11月15日

発明の数 1  
審査請求 有

(全 5 頁)

## ⑭ 半導体記憶装置

⑯ 特 願 昭58—76460

⑰ 出 願 昭58(1983)4月30日

⑱ 発 明 者 古山透

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社総合研究所  
内

⑲ 発 明 者 内田幸正

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社総合研究所  
内

⑳ 出 願 人 株式会社東芝

川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江武彦 外2名

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

(1) 半導体基板と、この半導体基板と逆導電形のウェル領域に形成され複数のワード線とこれに交差する複数のビット線との各交差位置にマトリックス状に配設され情報を記憶するメモリセルアレーと、このメモリセルアレーを駆動する、第1電位を供給する第1の電位供給源および第2電位を供給する第2電位供給源と、上記第1、第2電位供給源から供給される第1、第2電位に基づいて第3電位を発生して前記半導体基板に印加する基板バイアス発生回路と、この基板バイアス発生回路から出力される第3電位を選択されたワード線に印加する手段とを具備し、選択されたメモリセルへの情報の書き込みおよび読み出しのいずれかを行なうように構成したことを特徴とする半導体記憶装置。

(2) 前記半導体基板はP形であり、第3電位

は第1電位より低い電位であることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(3) 前記半導体基板はN形であり、第3電位は第2電位より高い電位であることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

## 3. 発明の詳細な説明

## 〔発明の技術分野〕

この発明は、半導体記憶装置に関するもので、特に、高密度の混成MOS回路で構成された大容量ダイナミックメモリに適用されるものである。

## 〔発明の技術的背景とその問題点〕

半導体記憶装置を大別すると、ROM(読み出し専用メモリ)とRAM(書き込み読み出しメモリ)とに分けられる。RAMにはメモリセルがフリップフロップによって構成されているスタティックRAMと、メモリセルが1個の選択用トランジスタと1個の記憶用キャパシタとによって構成されたダイナミックRAMとがある。

上記ダイナミックRAMは、1ビット当りの占有面積が小さくビット単価が安くできるので、

電子計算機の記憶装置などに広く利用されている。

ところで、従来のダイナミック RAM は、製造コストが安くできる N チャネル形の MOS トランジスタおよび MOS キャパシタで構成しているが、高集積化が進むにつれて種々の問題が生じている。まず第 1 に、微細な寸法の MOS 形素子に高電界が印加されることによって発生するホットエレクトロンが、ゲート酸化膜にトラップされて生ずる誤動作の問題がある。この問題は特に五極管動作する N チャネル形の MOS トランジスタでは深刻なものとなっている。

第 2 に、プリチャージしたビット線にメモリセルからの信号を読み出すダイナミックセンス方式を採用しているため、メモリセルの選択用 MOS トランジスタが五極管動作になり、ワード線の立ち上がり時間の遅れやトランジスタのチャネル導電率の低下によってデータの読み出し時間が長くなる欠点がある。

第 3 に、微細化に伴ってキャパシタの容量

が低下するため、メモリセルの記憶信号容量の減少を招いてしまう。

上記第 1、第 2 の問題点を解決する一つの手段としてメモリセルの CMOS 回路化が掲げられる。すなわち、CMOS 回路化によって五極管動作の多い N チャネル形の負荷 MOS トランジスタを P チャネル形の MOS トランジスタにおきかえ、これによってホットエレクトロンの問題を回避するとともに、ビット線のプリチャージ電位をワード線のスタンバイ電位と等しく設定することにより、選択されたワード線の電位が立ち上がると高選に選択用 MOS トランジスタがオン状態となり、三極管動作で信号を伝達する。例えば、第 1 図に示すように各メモリセルを P チャネル形の MOS トランジスタ  $Q_1$  とキャパシタ  $C$  とによって形成し、トランジスタ  $Q_1$  の一端にビット線  $BL$  を接続するとともに、ゲートにワード線  $WL$  を接続する。そして、ビット線  $BL$  の電位を  $V_{cc}$  (5V) レベルにプリチャージするとともに、ワード線  $WL$  のスタンバイ時の電位を

$V_{cc}$  レベル、選択されたワード線のみ  $V_{ss}$  (0V) レベルに低下させて高速化を計るものである。

しかし、上記のような構成では、メモリセルに  $V_{ss}$  レベルから  $V_{cc}$  レベルまでの 5V の振幅の電位を書き込むことはできない。これは、キャパシタに書き込まれる電位が選択用の MOS トランジスタ  $Q_1$  のしきい値電圧  $V_{th1}$  だけ低下するため、第 3 の問題として掲げたメモリセルの信号容量の減少に対処するためには、同一容量のキャパシタではメモリセルに電源電圧いっばいの振幅を書き込めるようにした方が有利である。このため、従来の N チャネル形ダイナミック RAM においては、ワード線電位を「 $V_{cc} + V_{th1}$ 」以上にブートストラップする手法が用いられている。しかしながら、これを実現するためにはワード線選択用の MOS トランジスタのしきい値電圧による低下を考慮する必要があるため「 $V_{cc} + 2 \times V_{th1}$ 」以上に昇圧されたノードができ、微細化された MOS トランジスタに高電界がかかるといふ点から好ましくない。

#### 〔発明の目的〕

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、ホットエレクトロンの発生を防止できるとともに高速動作が可能であり、かつメモリセルの記憶信号の減少も防止できる高集積化された半導体記憶装置を提供することである。

#### 〔発明の概要〕

すなわち、この発明においては、半導体基板と逆導電形のウェル領域に形成される複数のワード線とこれに交差する複数のビット線との各交差位置に、情報を記憶するメモリセルを配設してメモリセルアレーを形成し、このメモリセルアレーを、第 1 電位を供給する第 1 の電位供給源および第 2 電位を供給する第 2 電位供給源によって駆動する。さらに上記第 1、第 2 電位供給源から供給される第 1、第 2 電位に基づいて第 3 電位を発生する基板バイアス発生回路を設け、この基板バイアス発生回路の出力電位を半導体基板に印加するとともに、この電位を選

択されたワード線に印加し、選択されたメモリセルへの情報の書き込みおよび読み出しのいずれかを行なうように構成したものである。

#### 〔発明の実施例〕

以下、この発明の一実施例について図面を参照して説明する。第2図において、11は第1導電形(P形)の半導体基板で、この基板11内には第2導電形(N形)のウェル領域12が形成される。ウェル領域12には選択用MOSトランジスタのソース・ドレイン領域となる $P^+$ 形の不純物領域13<sub>1</sub>、13<sub>2</sub>が所定間隔離間して形成され、この領域13<sub>1</sub>、13<sub>2</sub>間上にゲート絶縁膜14を介してゲート電極15が形成される。前記不純物領域13<sub>1</sub>には $P^-$ 形の不純物領域16が結合して設けられ、この領域16上に絶縁膜17を介してキャパシタ用の電極18が形成される。さらに、前記不純物領域13<sub>2</sub>にはビット線を構成する配線層19が接続される。なお、等価回路は第1図と同様である。

ゲートはトランジスタ $Q_2$ と $Q_3$ との接続点に接続される。そして、出力端子23から変換された電位 $V_{BB}$ を得るように構成されている。

第4図は、前記第3電位 $V_{BB}$ をワード線に印加して駆動するためのワード線駆動回路を示すもので、アドレス入力信号 $A^*_1, A^*_2, \dots, A^*_n$ がノア回路24*i*に供給され、このノア回路24*i*の出力端子はインバータ回路25*i*を介してトランジスタ $Q_4$ のゲートに接続される。ここで $A^*_i$ はアドレス信号 $A_i$ またはその補信号 $\overline{A_i}$ のいずれか一方を意味する。トランジスタ $Q_4$ の一端はデータ読み出し時のワード線電位設定信号 $\phi$ が供給される端子26に接続され、他端はゲートが前記ノア回路24*i*の出力端に接続されたトランジスタ $Q_5$ を介して電源電位(第2電位) $V_{CC}$ が印加される端子27に接続される。上記トランジスタ $Q_4, Q_5$ の接続点にはワード線 $WL_i$ の一端が接続され、ワード線 $WL_i$ の他端は書き込み時のワード線電位設定信号 $\phi_{WL}$ が印加される端子28と前記チャージポン

前記半導体基板11には基板電位 $V_{BB}$ (第3電位)が印加され、ウェル領域12には電位 $V_{CC}$ (第2電位)が印加される。また、ワード線 $WL$ には上記第2電位 $V_{CC}$ と第3電位 $V_{BB}$ 間の振幅を有するメモリセル選択信号が供給され、ビット線 $BL$ には第2電位 $V_{CC}$ と電位 $V_{SS}$ (第1電位)間の振幅を有する記憶情報信号が供給されるようになっている。前記各電位は、 $V_{CC} > V_{SS} > V_{BB}$ を満たす関係にある。

第3図は、前記第3電位 $V_{BB}$ を出力する基板バイアス発生回路(チャージポンプ回路)を示すもので、メモリセルアレーと同一の半導体基板上に形成される。このチャージポンプ回路は、発振回路21、この発振回路21の出力が一方の電極に印加されるキャパシタ22、および出力端子23と接地点(第1電位) $V_{SS}$ 間に直列接続されその接続点が前記キャパシタ22の他方の電極に接続されるMOSトランジスタ $Q_2, Q_3$ とから成り、トランジスタ $Q_2$ のゲートは出力端子23に接続され、トランジスタ $Q_3$ の

ア回路の出力電位 $V_{BB}$ が印加される端子29との間に直列接続されたトランジスタ $Q_6, Q_7$ のゲートに接続される。さらに、トランジスタ $Q_6, Q_7$ のゲートと前記端子29との間にトランジスタ $Q_8$ が接続され、このトランジスタ $Q_8$ のゲートはトランジスタ $Q_6$ と $Q_7$ との接続点に接続される。

上記のような構成において第5図のタイミングチャートを参照して動作説明する。アドレス信号 $A_1, A_2, \dots, A_n$ が $V_{SS}$ レベルと $V_{CC}$ レベルのいずれかで変化すると、選択された行のノア回路24*i*を除いて、他のノア回路の出力はプリチャージレベル $V_{CC}$ から $V_{SS}$ レベルとなる。従って、選択された行のトランジスタ $Q_4$ がオン状態、 $Q_5$ がオフ状態となり、選択されない行のトランジスタ $Q_4$ がオフ状態、 $Q_5$ がオン状態となる。この時、信号 $\phi$ が $V_{SS}$ レベルに立ち下ると、選択されたワード線 $WL_i$ の電位は $V_{SS} + |V_{TP}|$ ( $V_{TP}$ はPチャネル形MOSトランジスタのしきい値電圧)となる。

従って、ビット線BLを“ $V_{cc}$ ”レベルにプリチャージすれば、メモリセルの選択用トランジスタはワード線電位が“ $V_{cc} - |V_{TP}|$ ”まで低下するとオン状態となり、以降はこの選択用トランジスタが三極管動作するので、データの読み出しが高速化でき、かつ高感度である。

また、書き込みおよび再書き込みの場合は、ワード線電位を“ $V_{ss} - |V_{TP}|$ ”まで下げる必要がある。これはメモリセルに $V_{ss}$ レベルを書き込むためで、この時は信号 $\phi_{WL}$ を“ $V_{ss}$ ”レベルから“ $V_{cc}$ ”レベルに上昇させる。ワード線WL<sub>i</sub>が“ $V_{ss} + |V_{TP}|$ ”であると、トランジスタ $Q_0$ がオン状態、 $Q_1$ がオフ状態であるので、トランジスタ $Q_0$ 、 $Q_1$ の接続点Aの電位が上昇する。この電位は、端子28、接続点A、端子29なる貫通電流による抵抗分割で決まる値“ $(V_{cc} - 4V)$ ”となる。なお、トランジスタ $Q_1$ は電流容量を小さく設定すれば貫通電流は少なく、またこの貫通電流は選択された行しか流れ

ないので特に問題とはならない。また、電位 $V_{BB}$ の変化もこの電位 $V_{BB}$ が基板に印加されているため容量が大きくほとんど無視できる。信号 $\phi_{WL}$ を“ $V_{cc}$ ”レベルから所定時間後に“ $V_{ss}$ ”レベルに戻せば貫通電流はなくなる。この場合、接続点Aは“ $V_{BB}$ ”レベルに戻らず、“ $V_{ss}$ ”レベルとなるので、ワード線がフローティング状態になることもなく、電位 $V_{BB}$ に設定される。ただし“ $V_{ss} - V_{TN} > V_{BB}$ ”が満たされているものとする。

このような構成によれば、電位 $V_{BB}$ にブートストラップをかけてさらに低い(あるいは高い)電位を得ることなくメモリセルに電源電圧の振幅(“ $V_{ss}$ ”レベルから“ $V_{cc}$ ”レベル)の信号を書き込むので高電界が印加されるノードはない。またCMOS構成であるためホットエレクトロンの発生を大幅に低減でき、高速な読み出しを実現できるのみならず、記憶信号量を増加できるので確実な動作が得られる。

なお、上記実施例ではP形の半導体基板内に

N形のウェル領域を形成し、このウェル領域内にダイナミックメモリセルアレイを形成したが、N形の半導体基板内にP形のウェル領域を形成し、ウェル領域内にダイナミックメモリセルアレイを形成しても良い。また、半導体基板内にダイナミックメモリセルアレイを形成し、半導体基板内に形成したウェル領域にチャージポンプ回路の出力電位 $V_{BB}$ を印加するようにしても同様な効果が得られる。

#### [発明の効果]

以上説明したようにこの発明によれば、ホットエレクトロンの発生を防止できるとともに高速動作が可能であり、かつメモリセルの記憶信号の減少も防止できる高集積化された半導体記憶装置が得られる。

#### 4. 図面の簡単な説明

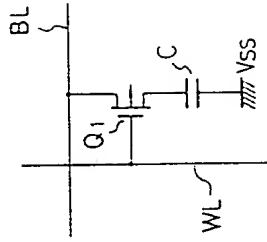
第1図は従来およびこの発明の一実施例に係る半導体記憶装置のメモリセルを示す回路図、第2図はこの発明の一実施例に係る半導体記憶装置におけるメモリセルの断面構成図、第3図

は前記第2図における基板電位を発生するための基板電位発生回路を示す図、第4図はワード線を駆動するワード線駆動回路を示す回路図、第5図は前記第4図の回路の動作を説明するためのタイミングチャートである。

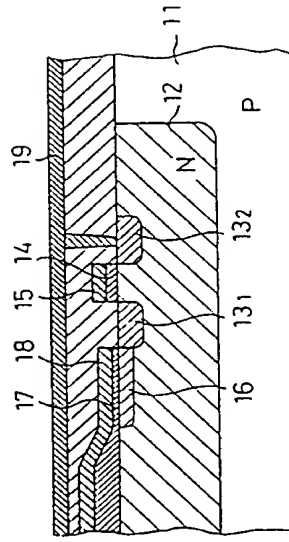
11…半導体基板、12…ウェル領域、 $Q_1$ …選択用MOSトランジスタ、C…記憶用キャパシタ、WL…ワード線、BL…ビット線、 $V_{ss}$ …第1電位、 $V_{cc}$ …第2電位、 $V_{BB}$ …第3電位。

出願人代理人 弁理士 鈴 江 武 彦

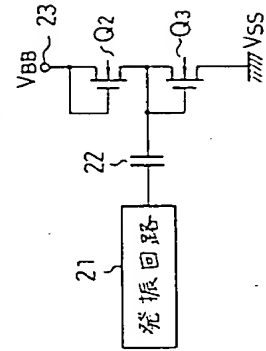
第 1 図



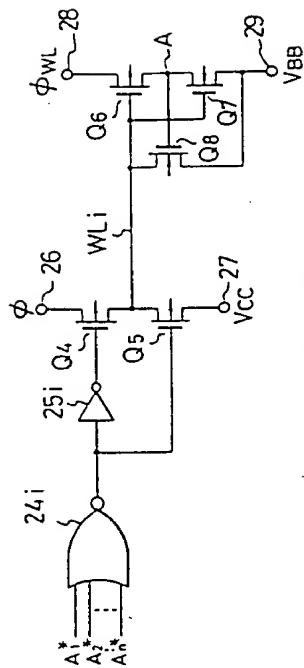
第 2 図



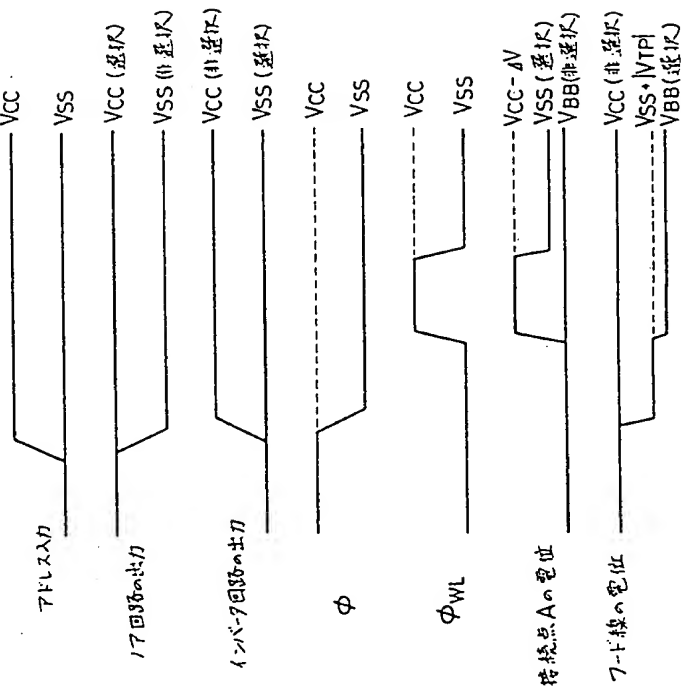
第 3 図



第 4 図



第 5 図



2)  
AN - 84-201464

TI - SEMICONDUCTOR MEMORY DEVICE

PA - (2000307) TOSHIBA CORP

IN - FURUYAMA, TORU; UCHIDA, YUKIMASA

PN - 84.11.15 J59201464, JP 59-201464

AP - 83.04.30 83JP-076460, 58-76460

SO - 85.03.19 SECT. E, SECTION NO. 303; VOL. 9, NO. 61, PG. 144.

IC - H01L-027/10; G11C-011/34

JC - 42.2 (ELECTRONICS--Solid State Components); 45.2 (INFORMATION PROCESSING--Memory Units)

FKW - R097 (ELECTRONIC MATERIALS--Metal Oxide Semiconductors, MOS)

AB - PURPOSE: To prevent the generation of hot electrons and enable high speed action by a method wherein the output potential of a substrate bias generating circuit is impressed on a semiconductor substrate, and this potential is impressed on a selected word line.

CONSTITUTION: A well region of the second conductivity type is formed in the substrate of the first conductivity type. The source and drain regions 13(sub 1) and 13(sub 2) are formed in a region 12, and a gate electrode 15 is formed on the clearance between these regions. The region 13(sub 1) is provided with an impurity region 16, and an electrode 18 for a capacitor is formed on this region 16 via insulation film 17. Further, a wiring layer 19 constituting a bit line is connected to the region 13(sub 2). The substrate potential VBB is impressed on the substrate 11, and the potential VCC on the region 12. A memory selecting signal having the amplitude between the potential VCC and the potential VSS (earth) is supplied to the word line connected to the electrode 15, and a memory information signal having said amplitude to the bit line. Since this constitution is that of a C-MOS, hot electrons can be reduced.